

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-166985

(43)Date of publication of application : 22.06.2001

(51)Int.Cl. G06F 12/02

(21)Application number : 11-352354 (71)Applicant : NEC GUMMA LTD

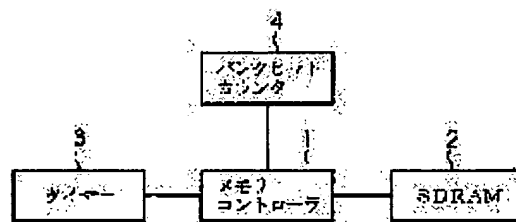
(22)Date of filing : 10.12.1999 (72)Inventor : ONOYAMA MANABU

## (54) MEMORY CONTROLLER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a memory controller for reducing any excess precharge at the time of performing access to a memory even in a system in which a bank hit access and a bank miss access coexist, and for improving the system performance as the result.

**SOLUTION:** This memory controller is provided with an SDRAM 2 equipped with a bank, a bank hit counter 4 for counting the number of hits of access to the bank when the bank is turned into an open state, and a memory controller 1 and a timer 3 for varying a time when the bank is turned into the open state according to the counted result of the bank hit counter 4.



## LEGAL STATUS

[Date of request for examination] 14.11.2000

[Date of sending the examiner's decision of rejection] 25.06.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-166985

(P2001-166985A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl.<sup>7</sup>

G 0 6 F 12/02

識別記号

5 9 0

F I

G 0 6 F 12/02

テーマコード (参考)

5 9 0 B 5 B 0 6 0

審査請求 有 請求項の数 6 O L (全 5 頁)

(21) 出願番号

特願平11-352354

(22) 出願日

平成11年12月10日 (1999.12.10)

(71) 出願人 000165033

群馬日本電気株式会社

群馬県太田市西矢島町32番地

(72) 発明者 小野山 学

群馬県太田市西矢島町32番地 群馬日本電気株式会社内

(74) 代理人 100108578

弁理士 高橋 詔男 (外3名)

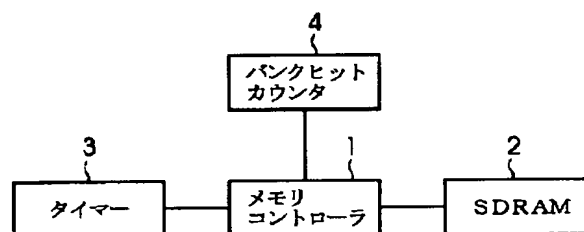
Fターム (参考) 5B060 AB13 AB19 CC03

(54) 【発明の名称】 メモリ制御装置

(57) 【要約】

【課題】 バンクヒットするアクセスとバンクミスするアクセスが混在するようなシステムにおいてもメモリのアクセス時における余分なプリチャージを減らすことができ、その結果システム性能の向上を図ることができるメモリ制御装置を提供する。

【解決手段】 バンクを備えるSDRAM 2と、バンクがオープン状態となっている場合にバンクへのアクセスのヒット数を計数するバンクヒットカウンタ 4と、バンクヒットカウンタ 4の計数結果に応じてバンクをオープン状態にする時間を可変するメモリコントローラ 1及びタイマー 3を備える。



## 【特許請求の範囲】

【請求項1】 バンクを備えるメモリと、

前記バンクがオープン状態となっている場合に前記バンクへのアクセスのヒット数を計数する計数手段と、  
前記計数手段の計数結果に応じて前記バンクをオープン状態にする時間を可変する制御手段とを具備することを特徴とするメモリ制御装置。

【請求項2】 前記メモリは複数のバンクを備え、

前記計数手段は前記バンク各々に対応して設けられ、

前記制御手段は、前記各計数手段の計数結果に応じて対応する前記バンクをオープン状態にする時間を可変することを特徴とする請求項1記載のメモリ制御装置。

【請求項3】 前記メモリはシンクロナスDRAMであることを特徴とする請求項1又は請求項2記載のメモリ制御装置。

【請求項4】 ページを備えるメモリと、

前記ページがオープン状態となっている場合に前記バンクへのアクセスのヒット数を計数する計数手段と、  
前記計数手段の計数結果に応じて前記ページをオープン状態にする時間を可変する制御手段とを具備することを特徴とするメモリ制御装置。

【請求項5】 前記メモリは複数のページを備え、

前記計数手段は前記ページ各々に対応して設けられ、

前記制御手段は、前記各計数手段の計数結果に応じて対応する前記ページをオープン状態にする時間を可変することを特徴とする請求項4記載のメモリ制御装置。

【請求項6】 前記メモリはDRAMであることを特徴とする請求項4又は請求項5記載のメモリ制御装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリ制御装置に係り、特に、シンクロナスDRAM(SDRAM)を各々が含む複数のシンクロナスDRAMバンクのアクセスを制御するメモリ制御装置に関する。

【0002】

【従来の技術】近年、非同期DRAMに代わる高速DRAMとして、シンクロナスDRAMが注目されている。シンクロナスDRAMは、外部クロックに同期した入出力回路構成、コマンド形式のアクセス、バースト転送による連続アクセス、2バンク構成などの特徴を持つ。

【0003】このシンクロナスDRAMをコンピュータシステムの主記憶として利用すれば、例えばCPUとシンクロナスDRAMのクロックの共通化によりアクセス時のロスを少なくでき、またバースト転送を利用することによってCPUをノーウェイトで動作させること等を実現できる。

【0004】シンクロナスDRAMへアクセスを行う場合は、クロックイネーブルとなるCKE信号をアクティブにした状態で、ACT(バンク・アクティブ)コマンドにより、ローアドレスをシンクロナスDRAMに与え

た後、リード/ライトコマンドによりカラムアドレスをシンクロナスDRAMに与える事でアクセスを行なう。シンクロナスSDRAMの上記コマンド受け取りは、そのシンクロナスDRAMに入力されたクロックCLKに同期して行われる。このようなシンクロナスDRAMをコンピュータの主記憶として使用する場合には、その主記憶は、1以上のシンクロナスDRAMを各々が含む複数のシンクロナスDRAMバンクによって構成される。

【0005】

【発明が解決しようとする課題】ところで、SDRAMをアクセスする場合において、シーケンシャルアクセスからランダムアクセスかによってバンクをオープンしておく時間が変わってくる。シーケンシャルアクセス時はバンクを長い時間オープンにしておいた方が、余分なブリチャージが発生せずに性能を向上させやすくなる。一方、ランダムアクセスのようにバンクミスが多い場合はバンクをすぐにクローズさせるために、ブリチャージをすぐにかけた方が性能を向上させやすい。

【0006】バンクヒットが多く発生するアクセスが頻繁に行われるシステムや、バンクミスが多く発生するアクセスが頻繁に行われるシステムのように、バンクヒット又はバンクミスの何れかが多く発生することが予想されるシステムにおいては、予めブリチャージをかけるタイミングを設定することによりシステム性能の向上を図ることができる。しかしながら、バンクヒットするアクセスとバンクミスするアクセスが混在するようなシステムの場合、バンクヒットのアクセスが多いか、バンクミスのアクセスが多いかを判断することができないためメモリ性能向上によるシステム全体の性能を向上することが困難であった。近年では、メモリアクセスの高速化が重要な要因であり、システム全体の性能向上のためには、メモリ性能の向上が必須となる。

【0007】本発明は、上記事情に鑑みてなされたものであり、バンクヒットするアクセスとバンクミスするアクセスが混在するようなシステムにおいてもメモリのアクセス時における余分なブリチャージを減らすことができ、その結果システム性能の向上を図ることができるメモリ制御装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上記課題を解決するために、本発明は、バンクを備えるメモリと、前記バンクがオープン状態となっている場合に前記バンクへのアクセスのヒット数を計数する計数手段と、前記計数手段の計数結果に応じて前記バンクをオープン状態にする時間を可変する制御手段とを具備することを特徴としている。ここで、前記メモリは複数のバンクを備え、前記計数手段は前記バンク各々に対応して設けられ、前記制御手段は、前記各計数手段の計数結果に応じて対応する前記バンクをオープン状態にする時間を可変することを特徴としている。また、前記メモリはシンクロナスDRAMで

あることを特徴としている。また、本発明は、ページを備えるメモリと、前記ページがオープン状態となっている場合に前記バンクへのアクセスのヒット数を計数する計数手段と、前記計数手段の計数結果に応じて前記ページをオープン状態にする時間を可変する制御手段とを具備することを特徴としている。ここで、前記メモリは複数のページを備え、前記計数手段は前記ページ各々に対応して設けられ、前記制御手段は、前記各計数手段の計数結果に応じて対応する前記ページをオープン状態にする時間を可変することを特徴としている。また、前記メモリはDRAMであることを特徴としている。

【0009】

【発明の実施の形態】以下、図面を参照して本発明の実施形態によるメモリ制御装置について詳細に説明する。

〔第1実施形態〕図1は、本発明の第1実施形態によるメモリ制御装置の概略構成を示す図である。図1においては、理解を容易にするため、本発明に関する部分のみを図示してある。図1において、1はシステムバスに接続されたメモリコントローラであり、CPU（中央処理装置）からのメモリアクセス要求に従って、SDRAM 2のバンクのオープン及びクローズを制御するとともに、データ書き込み又はデータ読み出しを制御する。本実施形態において、SDRAM2は単一のバンクからなるものである。

【0010】3は、メモリコントローラ1に接続されたタイマーであり、SDRAM2のバンクがオープン状態にある時間を計測するものである。このタイマー3は、メモリコントローラ1から出力される信号によってリセットされる。4はバンクヒットカウンタであり、初期の値が「0」に設定され、SDRAM2のバンクがオープン状態にある場合にメモリアクセスがなされ、オープン状態にあるバンクへのアクセスがヒットした場合に値をインクリメントする。バンクヒットカウンタ4の値はメモリコントローラ1によってリセット、つまり初期の値である「0」に設定される。尚、本実施形態においては、バンクヒットカウンタ4の値が「0」～「3」である場合に、タイマー3により時間を測定し、5 $\mu$ secの間バンクをオープン状態にでき、バンクヒットカウンタ4の値が「4」以上の場合にタイマー3により時間を測定し、20 $\mu$ secの間バンクをオープン状態にすることができるシステムについて説明する。

【0011】次に、上記構成における本発明の第1実施形態によるメモリ制御装置の動作について説明する。まず、CPU等からシステムバスを介してSDRAM2へのアクセス要求がなされると、そのアクセス要求はメモリコントローラ1へ送られる。この時、SDRAM2のバンクがクローズされていた場合には、メモリコントローラ1はSDRAM2のバンクをオープン状態にしてSDRAM2をアクセスする。メモリコントローラ1がSDRAM2のバンクをオープン状態にすると、メモリコ

ントローラ1はタイマー3をリセットし、SDRAM2のバンクがオープン状態になっている時間の計測を開始する。

【0012】バンクヒットカウンタ4の値が「0」から「3」の値である場合には、メモリコントローラ1はタイマー3によって計測される時間が5 $\mu$ secになるまでSDRAM2のバンクをオープン状態にしたまま次のアクセスを待つ。タイマー3の計測した時間が5 $\mu$ secとなり、この時点までに次のアクセスが無い場合には、メモリコントローラ1はSDRAM2のバンクをクローズし、バンクヒットカウンタ4の値を「0」にする。ここで、バンクヒットカウンタ4の値が「0」から「3」の値である場合にタイマー3の計測時間を5 $\mu$ secとしているのは、ランダムアクセスがなされている場合にバンクをすぐにクローズしてブリチャージをすぐにかけた方が性能を向上させやすいからである。

【0013】一方、バンクヒットカウンタの値が「4」以上である場合には、メモリコントローラ1はタイマー3により計測される時間が20 $\mu$ secになる時点までSDRAM2のバンクをオープンにしたまま、次のアクセスを待つ。次のメモリアクセスが20 $\mu$ sec以内に無い場合は、メモリコントローラ1はSDRAM2のバンクをクローズし、バンクヒットカウンタ4の値を「0」にする。ここで、バンクヒットカウンタ4の値が「4」以上である場合にタイマー3の計測時間を20 $\mu$ secとしているのは、シーケンシャルアクセス時はバンクを長い時間オープンにしておいた方が、余分なブリチャージが発生せずに性能を向上させやすくなるからである。

【0014】また、SDRAM2のバンクがオープン状態となるときに、CPU等からアクセス要求がなされ、そのアクセスがバンクにヒットした場合、メモリコントローラ1はバンクヒットカウンタ4の値をインクリメントするとともに、タイマー3をリセットして再びバンクをオープン状態にしている時間の計測を始める。よって、バンクヒットが連続した場合には、バンクがオープン状態となっている時間が長くなり、余分なブリチャージが発生しないため、性能の向上をはかることができる。

【0015】一方、そのアクセス要求がバンクミスであった場合は、メモリコントローラ1はバンクヒットカウンタ4の値を「0」にするとともに、SDRAM2のバンクをクローズして新しいバンクをオープンする。この時、メモリコントローラ1はタイマー3をリセットして、新しくオープンにしたバンクのオープン時間の計測を開始する。よって、バンクミスが生じた場合には、バンクがすぐにクローズされ、ブリチャージを行っているため性能の向上をはかることができる。

【0016】尚、上述した本発明の第1実施形態においては、バンクヒットカウンタ4の値が「0」から「3」

10

20

30

40

50

の値である場合と、バンクヒットカウンタの値が「4」以上である場合とにわけてタイマー3の計測時間を変えているが、本発明は、これらの数値に制限されず、その境界値はシステムの用途に応じて適宜設定することができる。

【0017】〔第2実施形態〕図2は、本発明の第2実施形態によるメモリ制御装置の概略構成を示す図である。図2においても、図1と同様に、理解を容易にするため、本発明に関する部分のみを図示してある。図2に示した本発明の第2実施形態によるメモリ制御装置と図1に示した本発明の第1実施形態によるメモリ制御装置とが異なる点は、図1中のSDRAM2を通常のDRAM5にするとともに、バンクヒットカウンタ4に代えてDRAM5のページへのアクセスのヒットをカウントするページヒットカウンタ6を設けた点である。つまり、本発明は図1に示したようにメモリがSDRAM2である場合に限られず、DRAM5を用いた場合にも適用することができる。

【0018】〔第3実施形態〕図3は、本発明の第3実施形態によるメモリ制御装置の概略構成を示す図である。図3においても、図1及び図2と同様に、理解を容易にするため、本発明に関する部分のみを図示してある。図3に示した本発明の第3実施形態によるメモリ制御装置は、基本的な構成は図1に示した第1実施形態と同様である。第1実施形態においては、SDRAM2が単一のバンクからなるものであったが、本実施形態においては、SDRAM2が複数のバンクからなるものであり、複数のバンクを同時にオープン状態とするものである点が異なる。また、各々のバンクに対応させて複数のバンクヒットカウンタ4a~4c及びタイマ3a~3cを備えている。尚、バンクの数、タイマ3a~3cの数、及びバンクヒットカウンタ4a~4cの数は図3に示した数に制限されない。

【0019】〔第4実施形態〕図4は、本発明の第4実施形態によるメモリ制御装置の概略構成を示す図である。図3においても、図1~図3と同様に、理解を容易にするため、本発明に関する部分のみを図示してある。図4に示した本発明の第4実施形態によるメモリ制御装置と図1に示した本発明の第1実施形態によるメモリ制御装置とが異なる点は、図1中のタイマー3に代えてリフレッシュタイマー7を設けた点である。このリフレッシュタイマー7は、SDRAM2のリフレッシュ間隔を

計測するものである。つまりリフレッシュタイマー7を設けることによって、バンクがオープンとなっている時間が長時間に亘った場合には、メモリコントローラ1はリフレッシュタイマー7で規定されるリフレッシュ間隔が訪れたときに、一度強制的にバンクをクローズしてブリチャージを行い、再びバンクをオープン状態とする。このようにすることで、長時間バンクをオープン状態とすることによる弊害を除去することができる。本実施形態は上記第1~第3実施形態にも適用することができる。

【0020】

【発明の効果】以上、説明したように、本発明によれば、バンクを備えるメモリと、前記バンクがオープン状態となっている場合に前記バンクへのアクセスのヒット数を計数する計数手段と、前記計数手段の計数結果に応じて前記バンクをオープン状態にする時間を可変する制御手段とを備えるようにしたので、メモリのアクセス状態がランダムアクセスであるか又はシーケンシャルアクセスであるかに応じてバンク又はページをオープン状態にする時間を可変して余分なブリチャージを減らす事ができ、その結果メモリアccessの性能向上を図ることができるという効果がある。そして、メモリアccessの性能向上によりシステム全体の性能向上を図ることができる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態によるメモリ制御装置の概略構成を示す図である。

【図2】 本発明の第2実施形態によるメモリ制御装置の概略構成を示す図である。

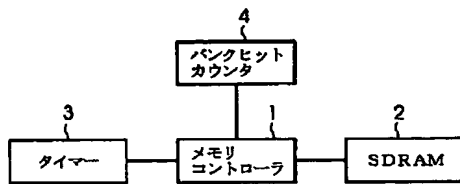
【図3】 本発明の第3実施形態によるメモリ制御装置の概略構成を示す図である。

【図4】 本発明の第4実施形態によるメモリ制御装置の概略構成を示す図である。

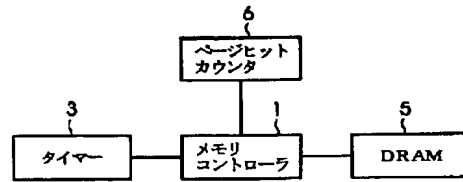
【符号の説明】

1	メモリコントローラ（制御手段）
2	SDRAM（メモリ）
3, 3a~3c	タイマー（制御手段）
4, 4a~4c	バンクヒットカウンタ（計数手段）
5	DRAM（メモリ）
6	ページヒットカウンタ（計数手段）
7	リフレッシュタイマー

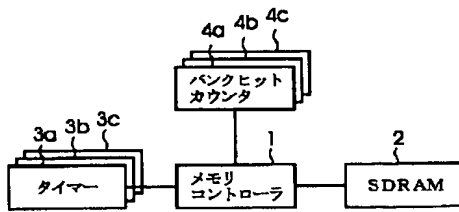
【図1】



【図2】



【図3】



【図4】

